

Hybrid Solid State Device의 Single-Level Cell 낸드 플래시 메모리의 효과적 활용을 위한 Flash Translation Layer

고석민, 서혁준, 박상훈, 정의영
연세대학교 전기전자공학과

요약

The Multi-level cell(MLC) based NAND storage devices are widely used in the industry market. Though MLC flash memory costs lower than single-level cell(SLC) flash memory, it has poor performance and short lifespan compared to SLC flash memory.

To hide the weakness of MLC flash memory, this paper proposes a new flash translation layer (FTL) which takes advantage of both SLC and MLC flash memory. This FTL adopts an offensive SLC management. Experimental results show that the proposed FTL has improvement of up to 340% compared to using only MLC memory and 95% of using only SLC memory.

1. 서론

낸드 플래시 기반의 저장장치는 두 가지의 하드 디스크와 다른 특성을 가진다. 하나는 쓰기 전에 지우기를 해야 한다는 것이고, 두 번째는 쓰기와 지우기의 단위가 페이지와 블록으로 다르다는 것이다. Flash translation layer(FTL)은 호스트로부터 하드디스크와 다른 낸드의 특성들을 숨겨주는 역할을 한다.

낸드 플래시 메모리는 single-level cell(SLC)와 multi-level cell(MLC) 플래시 메모리로 나눌 수 있다. MLC는 비용이 적게 나가기 때문에 큰 용량을 가질 수 있는 장점이 있고, SLC는 긴 수명과 높은 성능의 장점이 있다. 따라서 본 논문은 MLC와 SLC 메모리를 같이 사용하여 MLC의 장점과 SLC의 장점을 모두 가질 수 있는 FTL을 제안한다.

2. 배경 및 관련연구

낸드 플래시 메모리는 한 cell에 저장하는 비트 수에 따라 SLC와 MLC 플래시 메모리로 나누어진다. MLC 메모리는 한 셀에 두 비트 이상을 저장할 수 있기 때문에 비용이 싸고, 큰 용량의 저장장치를 만들 수 있다. 그러므로 여러 저장장치에서 MLC 메모리가 쓰이고 있다. 그러나 이러한 비트 수의 증가는 데이터를 읽고 쓰기에 추가 지연시간을 발생시키고, 데이터의 신뢰성도 떨어트려 짧은 메모리 수명을 가지게 한다. 반면에 SLC 플래시 메모리는 MLC 메모리에 비해 빠른 쓰고 읽기 속도를 보여주

고, 긴 수명을 또한 보장한다. 그러므로 SLC와 MLC 플래시 메모리의 조합은 MLC의 큰 용량과 SLC의 빠른 성능을 모두 보장하는 저장장치를 만들 수 있다.

[1]에서 제안한 combo FTL도 SLC와 MLC 플래시 메모리를 같이 사용하는 구조를 가진다. Combo FTL은 SLC를 자주 update 되는 데이터(hot) 지역과 update가 될 가능성이 있는 데이터(warm) 지역으로 나눈다. 호스트로부터 넘겨진 데이터는 hot 지역으로 들어가고, hot에서 쫓겨난 데이터는 warm 지역으로 옮겨진다. Warm 지역에서도 쫓겨나게 되면 update가 일어나지 않는 데이터(cold)로 판별하여 MLC 메모리로 옮겨진다. 그러나 이러한 SLC에서 잦은 데이터 이동은 오히려 성능을 악화시키는 요인이 된다.

3. 제안된 FTL

그림 1은 본 연구가 제안하는 FTL의 구조를 나타낸다. 호스트로부터 받은 요청은 request separator를 거쳐 SLC와 MLC로 보내진다. Request separator는 [2]에 언급된 바에 따라 일차적으로 데이터의 hot, cold 여부를 결정한다. 길이가 짧은 데이터가 길이가 긴 데이터보다 update가 더 많이 되는 경향을 보이기 때문에 길이가 짧은 데이터는 hot이라 판별하여 SLC로 보내고, 길이가 긴 데이터는 cold라 판별하여 MLC로 보낸다.

SLC는 garbage collection을 하기 위해 순차적으로 victim 블록을 선택한다. 이런 순차적 garbage collection은 SLC를 데이터의 hot, cold를 판별하는 원도우로 만들고, SLC의 고른 wear-leveling을 보장한다.

SLC는 page-mapping 방식을 가진다. 각 페이지마다 update 횟수에 따른 count를 두어, 데이터의 hot, cold 여부를 결정한다. Garbage collection을 할 때 count가 update threshold보다 크면 hot 데이터로 판별하여 SLC에 남겨두고, update threshold보다 작으면 cold 데이터라 판별하여 MLC로 옮긴다. 본 논문은 실험을 통하여 update threshold가 클수록(공격적) 성능이 좋음을 확인할 수 있었다.

위의 방법을 통해 update가 자주 일어나는 hot 데이터를 효과적으로 SLC에 저장하여 적은 양의 SLC를 사용하여 높은 성능의 저장장치를 만들 수 있다. MLC는 page-mapping 방식을 사용하였고, CAT[3]를 적용하여 garbage collection을 하였다.

4. 실험 결과

본 연구에서 제안한 FTL의 성능평가를 위해 trace-driven simulator를 제작하여 실험하였다. 실험에 사용된 MLC는 4-plane, 2-way의 8192개의 블록으로 구성되었고, SLC는 4-plane, 1-way의 1024개의 블록으로 이루어 졌다.

그림 2는 SLC 블록들의 erase count에 대해서 보여준다. SLC는 순차적으로 victim 블록을 선택하기 때문에 특별한 wear-leveling 방법이 없어도 모든 블록이 고르게 써지는 것을 볼 수 있다.

그림 3은 네 개의 trace에 대해 proposed FTL, combo FTL, page-mapping FTL(SLC), page-mapping FTL(MLC)의 성능 비교를 보여준다. 성능평가 결과 본 논문이 제안한 FTL이 page-mapping FTL(SLC)의 최대 95%의 성능을 보여주었고, combo FTL보다 평균 177% 좋은 성능을 보인다. 이는 combo FTL에서의 잦은 데이터 이동이 많은 garbage collection을 일으키기 때문이다. 반면 데이터의 길이가 긴 Photoshop의 경우 SLC의 활용도가 높지 않아 낮은 성능을 보여주었다.

5. 결론

본 논문에서는 SLC와 MLC 메모리를 같이 사용하는 FTL을 제안하였다. 적은 양의 SLC를 사용하여 MLC의 큰 용량과 SLC의 좋은 성능을 모두 만족 시킬 수 있도록 하였다.

실험 결과 page-mapping(SLC)의 최대 95%의 성능을 얻을 수 있었고 모든 trace에서 combo FTL보다 좋은 성능을 얻을 수 있었다. 이 연구는 향후 플래시 메모리 뿐만 아니라 PRAM, STT-MRAM 등의 차세대 메모리와의 조합에서도 적용가능 할 수 있게 연구할 계획이다.

Acknowledgement : 이 논문은 2011년 SK 하이닉스의 지원 및 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임. (No. 2011-0027625)

참고 문헌

1. S.Im, D.Shin, "ComboFTL: Improving performance and lifespan of MLC flash memory using SLC flash buffer," Journal of Systems Architecture, pp.641-653, Dec. 2010.
2. S.Lee, D.Shin, Y.-J.Kim, and J.Kim, "LAST:Locality-aware sectortranslation for NAND flash memory-based storage systems," ACM SIGOPS Operating Systems Review, pp.36-42, Oct. 2008.
3. M.-L. Chiang, P.C.H. Lee, and R.-C. Chang. "Using data clustering to improve cleaning performance for flash memory," Software Practice and Experience, pp.267-290, 1999

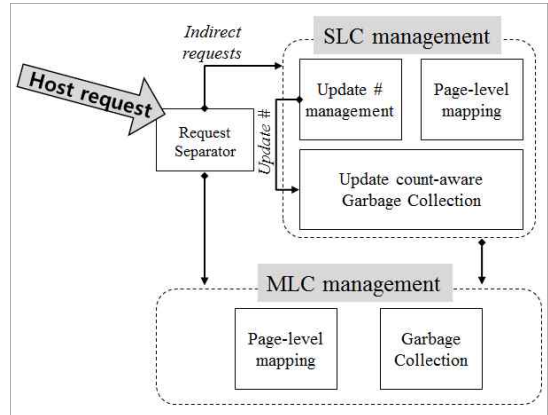


그림 1. Proposed FTL의 전체적인 구조

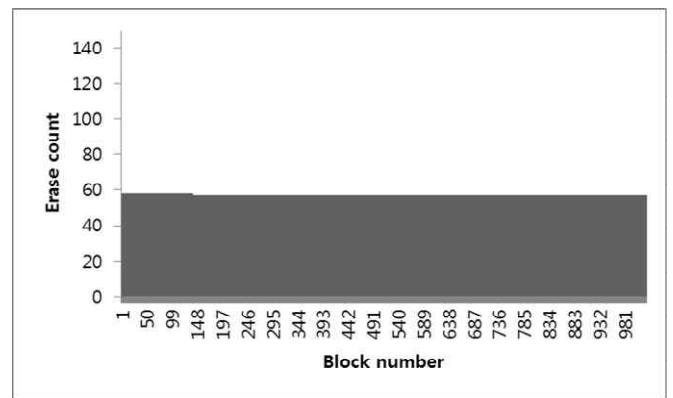


그림 2. SLC 블록 number에 따른 erase count

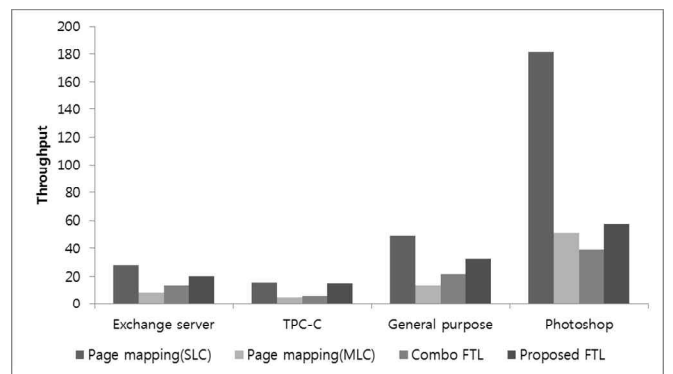


그림 3. 네 개의 trace와 각 FTL의 throughput 성능 평가